

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/000011

International filing date: 05 January 2005 (05.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-004960  
Filing date: 13 January 2004 (13.01.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

10.02.2005

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 1 月 1 3 日

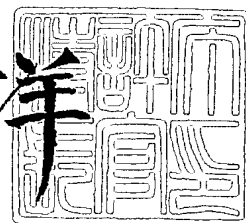
出 願 番 号  
Application Number: 特 願 2 0 0 4 - 0 0 4 9 6 0  
[ST. 10/C]: [J P 2 0 0 4 - 0 0 4 9 6 0]

出 願 人  
Applicant(s): セイコーインスツル株式会社  
ボーダフォン株式会社

2 0 0 5 年 1 月 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川 洋



【書類名】 特許願  
【整理番号】 03000626  
【提出日】 平成16年 1月13日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 7/00  
【発明者】  
    【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメン  
                                ツ株式会社内  
    【氏名】 松井 隆行  
【発明者】  
    【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメン  
                                ツ株式会社内  
    【氏名】 池 年正  
【発明者】  
    【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメン  
                                ツ株式会社内  
    【氏名】 野口 正博  
【発明者】  
    【住所又は居所】 東京都港区愛宕二丁目 5 番 1 号 ボーダフォン株式会社内  
    【氏名】 渡辺 福三  
【特許出願人】  
    【識別番号】 000002325  
    【氏名又は名称】 セイコーインスツルメンツ株式会社  
    【代表者】 茶山 幸彦  
【特許出願人】  
    【識別番号】 501440684  
    【氏名又は名称】 ボーダフォン株式会社  
    【代表者】 ダリル・イー・グリーン  
【代理人】  
    【識別番号】 100096378  
    【弁理士】  
    【氏名又は名称】 坂上 正明  
【手数料の表示】  
    【予納台帳番号】 008246  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0103799

**【書類名】 特許請求の範囲****【請求項 1】**

所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、に対してメモリアクセスを制御するメモリインタフェース装置において、

前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、

前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、

前記メモリ内のデータ蓄積量を計測するデータ蓄積量計測手段と、

前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生するメモリ読み出し制御手段と、

を備えたことを特徴とするメモリインタフェース装置。

**【請求項 2】**

所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置に接続され、該メモリ書き込み装置に対してメモリアクセスを制御するメモリインタフェース装置において、

前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、

前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、

前記メモリ内のデータ蓄積量を計測するデータ蓄積量計測手段と、

前記メモリからデータを読み出し該データに対して所定の処理を行うデータ処理手段と

、  
前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記データ処理手段に対して割り込み信号を発生するメモリ読み出し制御手段と、

を備えたことを特徴とするメモリインタフェース装置。

**【請求項 3】**

前記メモリ読み出し制御手段は、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記信号発生手段による信号発生を一時的に停止させることを特徴とする請求項 1 または請求項 2 に記載のメモリインタフェース装置。

**【請求項 4】**

前記所定量単位のデータ書き込みが途切れている期間を計時し、この計時値が所定のタイムアウト期間に達すると、前記メモリ読み出し制御手段へタイムアウト信号を出力するタイマを備え、

前記メモリ読み出し制御手段は、前記タイムアウト信号を受信した場合にも、前記メモリ読み出し装置に対して割り込み信号を発生することを特徴とする請求項 1 乃至請求項 3 のいずれかの項に記載のメモリインタフェース装置。

**【請求項 5】**

所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、に対してメモリアクセスを制御するメモリインタフェース方法であって、

前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する過程と、

前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対し

て、前記メモリからのデータの読み出しが完了したことを通知する過程と、  
前記メモリ内のデータ蓄積量を計測する過程と、  
前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、  
を含むことを特徴とするメモリインタフェース方法。

【請求項 6】

前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記読み出し完了通知を一時的に停止させる過程をさらに含むことを特徴とする請求項 5 に記載のメモリインタフェース方法。

【請求項 7】

前記所定量単位のデータ書き込みが途切れている期間を計時する過程と、  
この計時値が所定のタイマ期間に達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、  
をさらに含むことを特徴とする請求項 5 または請求項 6 に記載のメモリインタフェース方法。

**【書類名】 明細書****【発明の名称】** メモリインタフェース装置及びメモリインタフェース方法**【技術分野】****【0001】**

本発明は、メモリインタフェース装置及びメモリインタフェース方法に関する。

**【背景技術】****【0002】**

従来、PCカードと呼ばれるカード型電子装置があり、携帯型パーソナルコンピュータ等の機能拡張用に各種機能を具備するものが実現されている。例えば、モデム、LAN、無線電話等の通信カードやメモリカードなどがある。それらのPCカードは、ホスト装置（例えば、携帯型パーソナルコンピュータ）に装着されて使用される。

**【0003】**

PCカードは、ホスト装置のCPUとの間でデータを送受信するときのバッファとしてのFIFO（First In First Out）メモリと、このFIFOメモリへのアクセスを制御するインタフェース回路とを備えている。そして、そのFIFOメモリを介することにより、ホスト装置のCPUとの間でデータ通信速度を整合することができる。

**【0004】**

上記したFIFOメモリを介してホスト装置からPCカードへデータを送る場合の従来の手順は、先ず、ホスト装置が送信データを一定量（例えば16バイト）のデータに分割し、この分割したデータの一つをFIFOメモリに書き込む。次いで、この書き込みの検出により、FIFOメモリのインタフェース回路が、PCカードのCPUへFIFOメモリ内にデータが有ることを通知するために、割り込み信号を発生する。次いで、この割り込み処理において、PCカードのCPUが、FIFOメモリからデータを読み出す。次いで、この読み出しの検出により、FIFOメモリのインタフェース回路が、読み出し完了通知信号をホスト装置へ出力する。この読み出し完了通知により、ホスト装置のCPUは、次のデータがある場合にはFIFOメモリに書き込む。

**【0005】**

このように、従来は、ホスト装置が送信データを一定量のデータに分割し、この分割したデータ毎に上記した手順を繰り返すことにより、PCカードへのデータ送信を行っている。

**【0006】**

また、FIFOメモリからデータを読み出すCPUの負荷を軽減するために、FIFOメモリ内に蓄積されたデータ量が所定量となった場合に割り込み信号を発生するようにしたカウント機能付きFIFOメモリが知られている（例えば、特許文献1参照）。

【特許文献1】特開平6-325565号公報（第2頁、第1図）

**【発明の開示】****【発明が解決しようとする課題】****【0007】**

近年、PCカードに搭載されるFIFOメモリは大容量化が可能となっている。これにより、ホスト装置からPCカードへ送る一回分のデータ量をFIFOメモリの最大蓄積容量に合わせて増大させれば、送信データの分割数が減るので、PCカードのCPUへの割り込み発生回数を減らすことができるとともに、一つの割り込み処理で扱うデータ量を増やすことができるので、割り込み処理による負荷が軽減される、データ処理をまとめて実行できるので効率的である、などの要因により処理速度の向上を図ることが可能となる。

**【0008】**

しかしながら、そのためには、ホスト装置のCPUが実行する既存の通信制御プログラムを変更して、ホスト装置からPCカードへ送る一回分のデータ量を新しいFIFOメモリに合わせる必要がある。また、PCカードに搭載するFIFOメモリをバージョンアップする都度、新しいFIFOメモリに合わせてホスト装置用の通信制御プログラムを変更することは、コストアップの要因となるばかりかバグ等の不良要因を増加させることとな

る。このような理由から、ホスト装置用の既存の通信制御プログラムは流用したいという要求がある。

#### 【0009】

同様の理由から、上記したカウント機能付き F I F O メモリについても、ホスト装置用の通信制御プログラムを変更しなければその効果が得られないので、適用し難い。

#### 【0010】

本発明は、このような事情を考慮してなされたもので、その目的は、所定量単位でメモリにデータを書き込む度に、当該メモリからのデータの読み出しが完了したことを確認してから、次の当該メモリへのデータ書き込みを行うメモリ書き込み手順に対応することができ、且つ、メモリ読み出し側の C P U の負荷を軽減することができるメモリインタフェース装置及びメモリインタフェース方法を提供することにある。

#### 【課題を解決するための手段】

#### 【0011】

上記の課題を解決するために、本発明のメモリインタフェース装置は、所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、に対してメモリアクセスを制御するメモリインタフェース装置において、前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、前記メモリ内のデータ蓄積量を計測するデータ蓄積量計測手段と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生するメモリ読み出し制御手段と、を備えたことを特徴としている。

#### 【0012】

この構成によれば、メモリ書き込み装置からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、当該メモリ書き込み装置におけるメモリ書き込み手順に対応することができる。さらに、メモリ内に該メモリ書き込み手順による所定量以上のデータを蓄積し、当該メモリ書き込み装置から書き込まれたデータをまとめて読み出すことができるので、メモリ読み出し装置への割り込み発生回数を減らすことができるとともに、当該メモリ読み出し装置が一つの割り込み処理で扱うデータ量を増やして効率よく処理することができ、当該メモリ読み出し装置の負荷が軽減される。

#### 【0013】

本発明のメモリインタフェース装置は、所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置に接続され、該メモリ書き込み装置に対してメモリアクセスを制御するメモリインタフェース装置において、前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する書き込み検出手段と、前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する信号を発生する信号発生手段と、前記メモリ内のデータ蓄積量を計測するデータ蓄積量計測手段と、前記メモリからデータを読み出し該データに対して所定の処理を行うデータ処理手段と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記データ処理手段に対して割り込み信号を発生するメモリ読み出し制御手段とを備えたことを特徴としている。

#### 【0014】

この構成によれば、メモリ書き込み装置からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、当該メモリ書き込み装置におけるメモリ書き込み手順に対応することができる。さらに、メモリ内に該メモリ書き込み手順による所定量以上の

データを蓄積し、当該メモリ書き込み装置から書き込まれたデータをまとめて読み出すことができるので、メモリ読み出し装置またはデータ処理手段への割り込み発生回数を減らすことができるとともに、当該メモリ読み出し装置またはデータ処理手段が一つの割り込み処理で扱うデータ量を増やして効率よく処理することができ、当該メモリ読み出し装置またはデータ処理手段の負荷が軽減される。

**【0015】**

また、本発明のメモリインタフェース装置においては、前記メモリ読み出し制御手段は、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記信号発生手段による信号発生を一時的に停止させることを特徴とする。

**【0016】**

この構成によれば、メモリ内にはデータが蓄積されていないものと判断してデータを書き込んでいるメモリ書き込み装置に対して、該データ書き込みを停止させ、メモリの最大蓄積容量を超えてデータが書き込まれることを防止することができる。

**【0017】**

また、本発明のメモリインタフェース装置においては、前記所定量単位のデータ書き込みが途切れている期間を計時し、この計時値が所定のタイマ期間に達すると、前記メモリ読み出し制御手段へタイムアウト信号を出力するタイマを備え、前記メモリ読み出し制御手段は、前記タイムアウト信号を受信した場合にも、前記メモリ読み出し装置に対して割り込み信号を発生することを特徴とする。

**【0018】**

この構成によれば、メモリ書き込み装置の総書き込みデータ量が読み出し開始蓄積量未満であり、メモリ内には読み出し開始蓄積量までデータが蓄積されずに、メモリ書き込み装置からのデータ書き込みが終了する場合に対応することが可能となる。

**【0019】**

本発明のメモリインタフェース方法は、所定量単位でメモリにデータを書き込む度に、前記メモリからのデータの読み出しが完了したことを確認してから、次の前記メモリへのデータ書き込みを行うメモリ書き込み手順を遵守するメモリ書き込み装置、及び前記メモリからデータを読み出すメモリ読み出し装置、に対してメモリアクセスを制御するメモリインタフェース方法であって、前記メモリ書き込み装置から前記メモリへの前記所定量単位のデータ書き込みを検出する過程と、前記所定量単位のデータ書き込みが検出された場合に、前記メモリ書き込み装置に対して、前記メモリからのデータの読み出しが完了したことを通知する過程と、前記メモリ内のデータ蓄積量を計測する過程と、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、を含むことを特徴としている。

**【0020】**

また、本発明のメモリインタフェース方法においては、前記メモリ内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、前記読み出し完了通知を一時的に停止させる過程をさらに含むことを特徴とする。

**【0021】**

また、本発明のメモリインタフェース方法においては、前記所定量単位のデータ書き込みが途切れている期間を計時する過程と、この計時値が所定のタイマ期間に達した場合に、前記メモリ読み出し装置に対して割り込み信号を発生する過程と、をさらに含むことを特徴とする。

**【発明の効果】****【0022】**

本発明によれば、メモリ書き込み装置からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、当該メモリ書き込み装置におけるメモリ書き込み手順に対応することができ、当該メモリ書き込み装置（例えばPCカードのホスト装置）用の既存の通信制御プログラムを流用することが可能である。

**【0023】**



さらに、メモリ内に該メモリ書き込み手順による所定量以上のデータを蓄積し、当該メモリ書き込み装置から書き込まれたデータをまとめて読み出すことができるので、メモリ読み出し装置への割り込み発生回数を減らすことができるとともに、当該メモリ読み出し装置が一つの割り込み処理で扱うデータ量を増やすことができる。この結果、割り込み処理による負荷が軽減されること、データ処理をまとめて効率的に実行できること等により、メモリ読み出し装置（例えばPCカードのCPU）の負荷が軽減されて、処理速度が向上するという優れた効果が得られる。

【発明を実施するための最良の形態】

#### 【0024】

以下、図面を参照し、本発明の一実施形態を説明する。本実施形態においては、メモリインタフェース装置がPCカードと呼ばれるカード型電子装置に具備される場合を例に挙げて説明する。

#### 【0025】

図1は、本発明の一実施形態に係るメモリインタフェース装置を具備するPCカード1の構成を示すブロック図である。図2は、そのPCカード1と装着相手である携帯型パーソナルコンピュータ（以下、単にPCと称する）2の外観図である。

#### 【0026】

図2に示されるように、PCカード1はPC2のPCカードスロット20に装着することが可能である。そして、図1には、PCカード1がPC2に装着された場合に、PC2のCPU（図示せず）からPCカード1のCPU10へデータを送るための構成のみが示されており、その他の構成は省略している。

#### 【0027】

図1のPCカード1において、FIFOメモリ100は、PC2のCPUから、データを受信するときのバッファとして機能する。

#### 【0028】

PC2のCPUは、このFIFOメモリ100を介してPCカード1のCPU10へデータを受け渡す。ここで、PC2におけるメモリ書き込み手順を説明する。まず、PC2のCPUは、送信データを一定量のデータに分割する。そして、該所定量単位でFIFOメモリ100にデータを書き込む度に、FIFOメモリ100からのデータの読み出しが完了したことを確認してから、次のFIFOメモリ100へのデータ書き込みを行う。PC2のCPUは、PCカード1からの読み出し完了通知信号（図1参照）の受信により、FIFOメモリ100からのデータの読み出しが完了したと判断する。

#### 【0029】

図1のPCカード1において、メモリライト部101は、PC2からデータ及びライトコマンドを受信すると、FIFOメモリ100に対し、ライト信号を出力して該受信データを書き込む。

#### 【0030】

メモリリード部102は、CPU10からデータ読み出し指示を受けると、FIFOメモリ100に対し、リード信号を出力してデータを読み出し、該読み出したデータをCPU10へ出力する。

#### 【0031】

カウンタ103は、FIFOメモリ100へのライト信号を計数する。この計数値は、FIFOメモリ100内のデータ蓄積量を示す。例えば、ライト信号がバイト単位で出力される場合には、カウンタ103の計数値はFIFOメモリ100内のデータ蓄積量をバイト単位で示している。また、カウンタ103は、CPU10からのリセット信号により計数値をゼロに設定する。このリセット信号は、CPU10がメモリリード部102を介してFIFOメモリ100から蓄積されたデータを全て読み出した時に出力される。

#### 【0032】

レジスタ104は、カウンタ103の計数値、即ちFIFOメモリ100内のデータ蓄積量を保持する。このレジスタ104の保持値は、CPU10から読み出し可能である。

このレジスタ104により、CPU10は、FIFOメモリ100内のデータ蓄積量を取得することができる。

【0033】

レジスタ105は、上記したPC2におけるメモリ書き込み手順のFIFOメモリ100へのデータ書き込み単位量（ホスト書き込み単位量）を保持する。このホスト書き込み単位量は、CPU10により任意の値に設定可能である。

【0034】

比較部106は、カウンタ103の計数値すなわちFIFOメモリ100内のデータ蓄積量と、レジスタ105の保持値すなわちホスト書き込み単位量とを比較する。そして、双方が一致した場合に、読み出し完了通知信号発生部107へ一致信号を出力する。

【0035】

読み出し完了通知信号発生部107は、比較部106から一致信号を受信すると、読み出し完了通知信号を発生してPC2へ出力する。すなわち、PC2による上記した所定量単位のFIFOメモリ100へのデータ書き込みが検出された場合に、読み出し完了通知信号を発生する。これにより、PC2のCPUは、FIFOメモリ100からのデータ読み出しが実際には完了していないが、該読み出し完了通知信号の受信によりFIFOメモリ100からのデータ読み出しが完了したと判断して、次のFIFOメモリ100へのデータ書き込みを行う。この結果、FIFOメモリ100には、PC2による上記したデータ書き込みの所定量を超えてデータが蓄積されることとなる。

【0036】

また、読み出し完了通知信号発生部107は、後述する停止信号を受信している期間において、読み出し完了通知信号の発生を停止する。

【0037】

タイマ108は、FIFOメモリ100へのライト信号が途切れている期間を計時する。そして、計時値が所定のタイマ期間に達すると（タイムアウト時）、割り込み信号発生部111へタイムアウト信号を出力する。

【0038】

レジスタ109は、FIFOメモリ100からのデータの読み出し開始時期を示す蓄積量（読み出し開始蓄積量）を保持する。この読み出し開始蓄積量は、CPU10により任意の値に設定可能である。例えば、FIFOメモリ100の最大蓄積容量に合わせて設定される。

【0039】

比較部110は、カウンタ103の計数値すなわちFIFOメモリ100内のデータ蓄積量と、レジスタ109の保持値すなわち読み出し開始蓄積量とを比較する。そして、双方が一致した場合に、割り込み信号発生部111へ一致信号を出力する。

【0040】

また、この一致信号は、上記した読み出し完了通知信号発生部107への停止信号となる。すなわち、FIFOメモリ100内のデータ蓄積量が読み出し開始蓄積量に到達した場合には、読み出し完了通知信号の発生を停止させる。これにより、FIFOメモリ100内にはデータが蓄積されていないものと判断してデータを書き込んでいるPC2に対して、該データ書き込みを停止させ、FIFOメモリ100の最大蓄積容量を超えてデータが書き込まれることを防止することができる。

【0041】

割り込み信号発生部111は、比較部110から一致信号を受信した場合、又は、タイマ108からタイムアウト信号を受信した場合に、割り込み信号を発生してCPU10へ出力する。この割り込み信号を受けると、CPU10は、レジスタ104からデータ蓄積量を取得し、このデータ蓄積量に相当する回数分のデータ読み出し動作をメモリリード部102を介して行う。これにより、FIFOメモリ100内に蓄積されたデータが、CPU10により全て読み出される。この読み出し完了後に、CPU10は、カウンタ103をリセットする。

**【0042】**

なお、本実施形態においては、メモリインタフェース部120は、上記図1のPCカード1の各部のうち、カウンタ103、レジスタ104、105、109、比較部106、110、読み出し完了通知信号発生部107、タイマ108及び割り込み信号発生部111を含むものである。

**【0043】**

次に、図3、図4を参照して、上記図1に示すPCカード1におけるメモリインタフェースに係る動作を説明する。図3、図4は、本実施形態に係るメモリインタフェース処理の流れを示す第1、第2のシーケンスチャートである。

**【0044】**

初めに、図3を参照して、第1のシーケンスを説明する。この第1のシーケンスは、FIFOメモリ100内に読み出し開始蓄積量（例えばFIFOメモリ100の最大蓄積容量）までデータが蓄積される場合を示している。これは、PC2の送信データ量が読み出し開始蓄積量以上である場合に対応する。

**【0045】**

図3において、PC2が所定量単位（図3の例では16バイト単位）でFIFOメモリ100にデータを書き込む（ステップS1）。このデータ書き込みの度に、PCカード1のメモリインタフェース部120は、読み出し完了通知信号発生部107により読み出し完了通知信号を発生し、PC2へ出力する（ステップS2）。

**【0046】**

次いで、FIFOメモリ100内のデータ蓄積量がレジスタ109に保持される読み出し開始蓄積量に到達すると、メモリインタフェース部120は、割り込み信号発生部111により割り込み信号を発生し、CPU10へ出力する（ステップS3）。この時、読み出し完了通知信号発生部107には比較部110からの停止信号が入力されて、読み出し完了通知信号の発生が停止する。

**【0047】**

次いで、その割り込みにより、CPU10がレジスタ104からデータ蓄積量を読み出す（ステップS4、S5）。そして、その読み出したデータ蓄積量に基づいてFIFOメモリ100から全蓄積データを読み出す（ステップS6）。この読み出しが完了すると、CPU10がカウンタ103をリセットする（ステップS7）。このカウンタリセットにより上記比較部110からの停止信号出力が解除されて、読み出し完了通知信号発生部107が読み出し完了通知信号の発生を再開し、PC2へ読み出し完了通知信号を出力する（ステップS2a）。

**【0048】**

次に、図4を参照して、第2のシーケンスを説明する。この第2のシーケンスは、FIFOメモリ100内には読み出し開始蓄積量までデータが蓄積されずに、PC2からのデータ書き込みが終了する場合を示している。これは、PC2の送信データ量が読み出し開始蓄積量未満である場合に対応する。

**【0049】**

図4において、上記図3と同様に、PC2が所定量単位でFIFOメモリ100にデータを書き込み、このデータ書き込みの度に、PCカード1のメモリインタフェース部120が、読み出し完了通知信号発生部107により読み出し完了通知信号を発生し、PC2へ出力する（ステップS1、S2）。この時、タイマ108は、FIFOメモリ100へのデータ書き込みの度にリセットされている。

**【0050】**

次いで、PC2からのデータ書き込みが終了した後、タイマ108がタイマ期間を満了し、タイムアウトすると、メモリインタフェース部120は、割り込み信号発生部111により割り込み信号を発生し、CPU10へ出力する（ステップS3a）。この割り込みにより、CPU10が、上記図3と同様に、FIFOメモリ100から全蓄積データを読み出し、カウンタ103をリセットする（ステップS4～S7）。

## 【0051】

上述したように本実施形態によれば、PC2からの所定量単位のデータ書き込みの度に読み出し完了通知信号を発生するので、上記したPC2におけるメモリ書き込み手順に対応することができ、PC2（ホスト装置）用の既存の通信制御プログラムを流用することができる。

## 【0052】

さらに、FIFOメモリ100内に該メモリ書き込み手順による所定量以上のデータを蓄積し、PC2から書き込まれたデータをまとめて読み出すことができるので、PCカード1のCPU10への割り込み発生回数を減らすことができるとともに、CPU10が一つの割り込み処理で扱うデータ量を増やすことができる。この結果、割り込み処理による負荷が軽減されること、データ処理をまとめて効率的に実行できること等により、PCカード1のCPU10の負荷が軽減されて、処理速度が向上するという優れた効果が得られる。

## 【0053】

また、PCカード1のCPU10は、FIFOメモリ100内のデータ蓄積量を把握した上で、FIFOメモリ100からデータを読み出すことができるので、データ処理を計画的に行うことができる。

## 【0054】

以上、本発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

## 【0055】

例えば、上述した実施形態では、FIFOメモリを使用したか、ランダムアクセスメモリ（RAM）にも応用することができる。例えば、メモリライト部101がRAMの0番地から大きな番地へと順番にデータを書き込み、CPU10が同様にRAMの0番地から大きな番地へと順番にデータを読み出すようにする。

## 【0056】

また、本発明に係るメモリインタフェース装置の制御対象のメモリ書き込み装置として携帯型パーソナルコンピュータを例に挙げたが、メモリ書き込み装置はこれに限定されるものではない。同様に、メモリ読み出し装置は、PCカードのCPUに限定されるものではない。すなわち、本発明に係るメモリインタフェース装置は、上記したメモリ書き込み手順を遵守するメモリ書き込み装置、及びこのメモリ書き込み装置によってアクセスされるメモリからデータを読み出すメモリ読み出し装置、に対するメモリアクセス制御を実現するものとして、広く適用することができる。また、本発明に係るメモリインタフェース装置は、メモリ書き込み装置によってアクセスされるメモリからデータを読み出し、該読み出したデータに対して所定の処理を行うデータ処理手段を具備するものであってもよい。

## 【図面の簡単な説明】

## 【0057】

【図1】本発明の一実施形態に係るメモリインタフェース装置を具備するPCカード1の構成を示すブロック図である。

【図2】図1に示すPCカード1と装着相手である携帯型パーソナルコンピュータ2の外観図である。

【図3】本発明の一実施形態に係るメモリインタフェース処理の流れを示す第1のシーケンスチャートである。

【図4】本発明の一実施形態に係るメモリインタフェース処理の流れを示す第2のシーケンスチャートである。

## 【符号の説明】

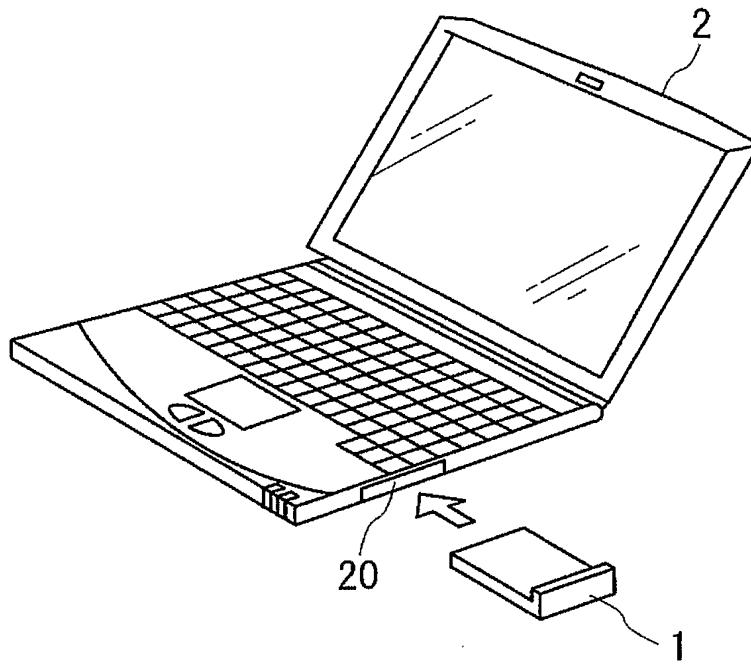
## 【0058】

1…PCカード、2…携帯型パーソナルコンピュータ（メモリ書き込み装置）、10…CPU（メモリ読み出し装置）、100…FIFOメモリ、101…メモリライト部、10

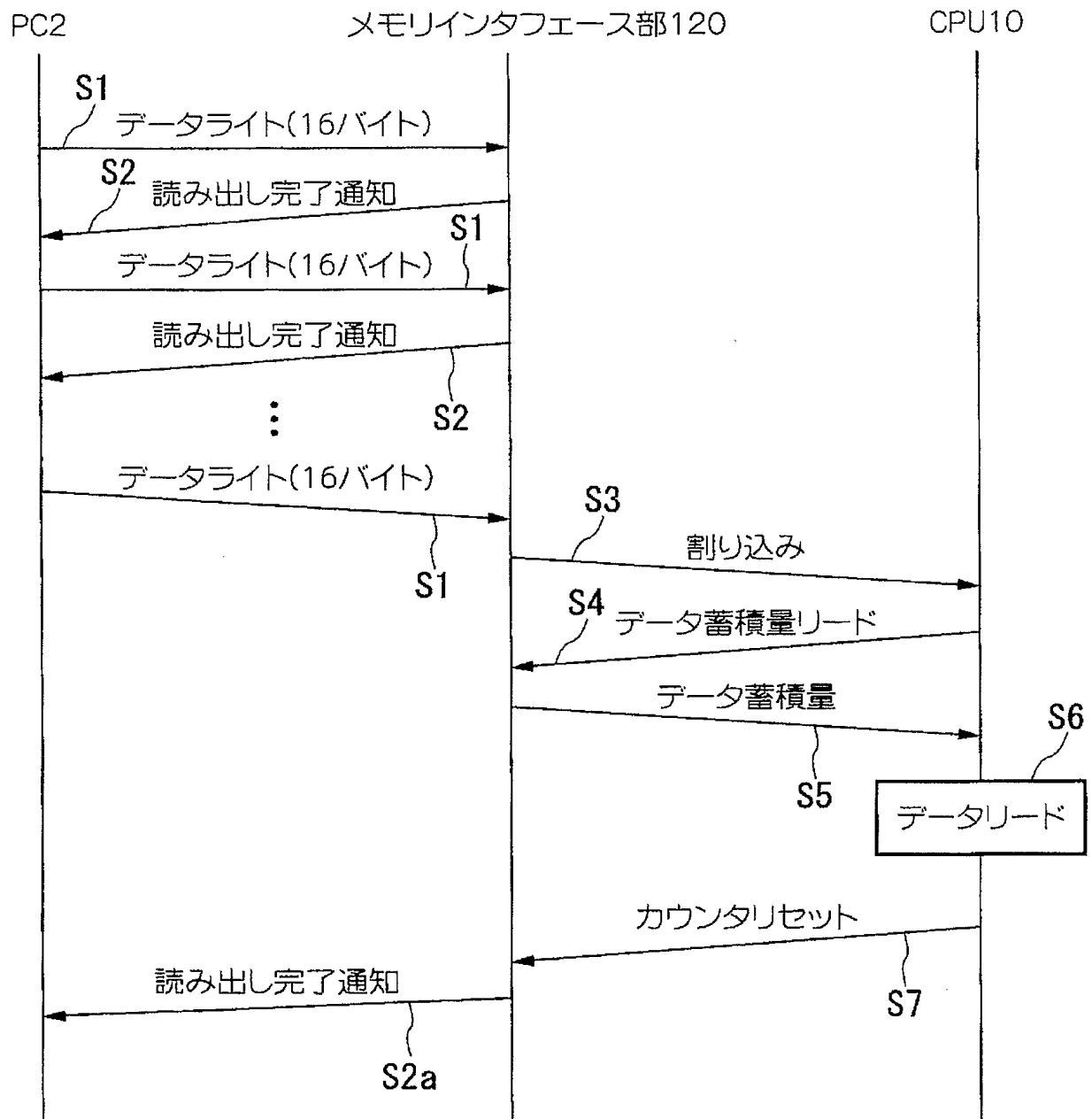
2…メモリリード部、103…カウンタ、104, 105, 109…レジスタ、106,  
110…比較部、107…読み出し完了通知信号発生部、108…タイマ、111…割り  
込み信号発生部、120…メモリインタフェース部。



【図 2】

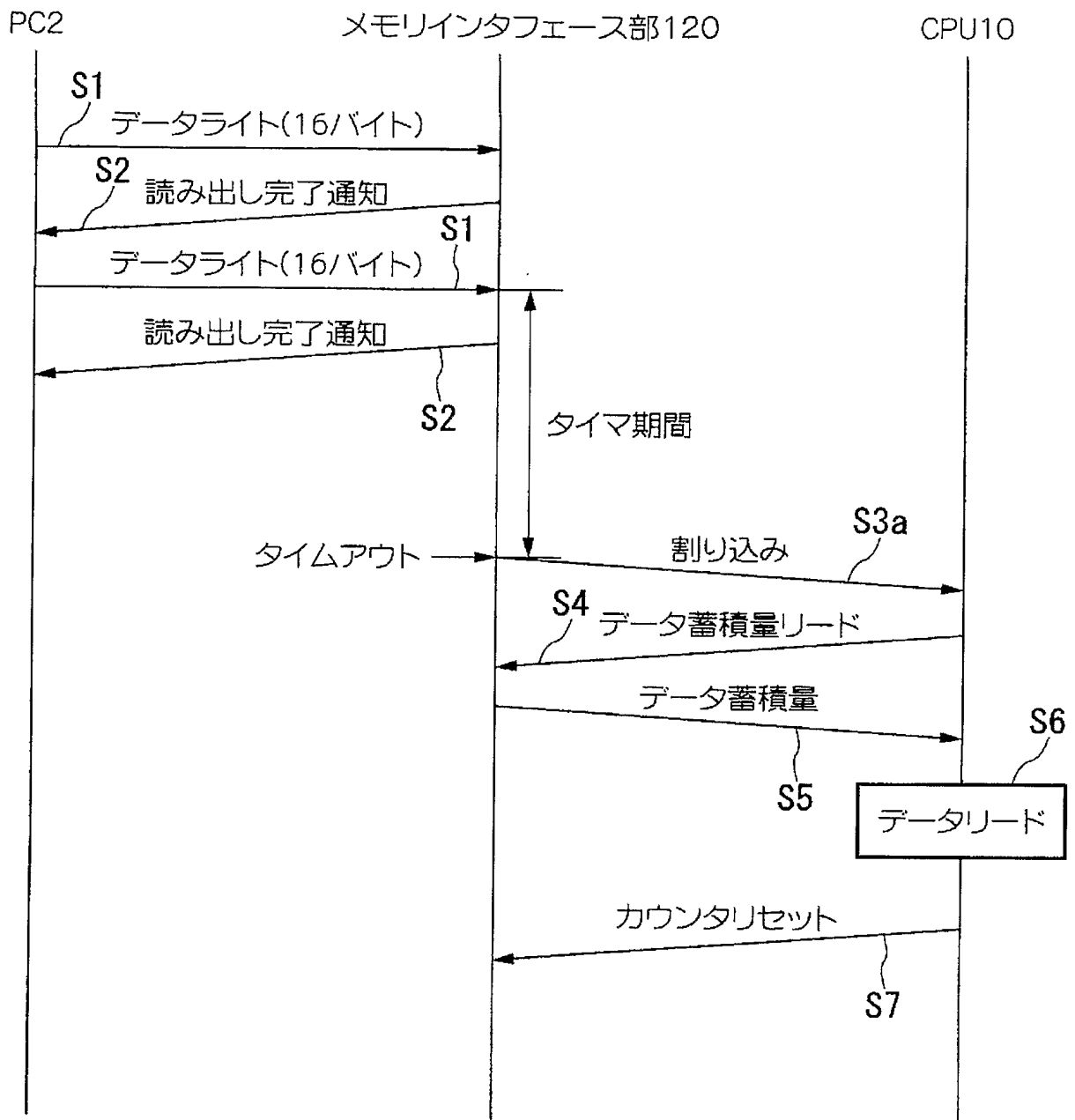


【図 3】





【図 4】



【書類名】 要約書

【要約】

【課題】 所定量単位でメモリにデータを書き込む度に、当該メモリからのデータの読み出しが完了したことを確認してから、次の当該メモリへのデータ書き込みを行うメモリ書き込み手順に対応することができ、且つ、メモリ読み出し側のCPUの負荷軽減を図る。

【解決手段】 PC 2 から FIFOメモリ 1 0 0 へ所定量単位のデータ書き込みが検出された場合に、PC 2 に対して、FIFOメモリ 1 0 0 からのデータの読み出しが完了したことを通知する信号を発生し、FIFOメモリ 1 0 0 内のデータ蓄積量が所定の読み出し開始蓄積量に到達した場合に、PCカード 1 のCPU 1 0 に対して割り込み信号を発生する。

【選択図】 図 1

特願 2004-004960

出願人履歴情報

識別番号 [000002325]

1. 変更年月日 1997年 7月23日  
[変更理由] 名称変更  
住 所 千葉県千葉市美浜区中瀬1丁目8番地  
氏 名 セイコーインスツルメンツ株式会社
2. 変更年月日 2004年 9月10日  
[変更理由] 名称変更  
住 所 千葉県千葉市美浜区中瀬1丁目8番地  
氏 名 セイコーインスツル株式会社

特願 2 0 0 4 - 0 0 4 9 6 0

出 願 人 履 歴 情 報

識別番号

[ 5 0 1 4 4 0 6 8 4 ]

1. 変更年月日

2 0 0 3 年 1 0 月 6 日

[変更理由]

名称変更

住 所

東京都港区愛宕二丁目 5 番 1 号

氏 名

ボーダフォン株式会社